

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-293643

(43)公開日 平成8年(1996)11月5日

(51)Int.Cl.⁹

H 0 1 S 3/18

H 0 1 L 33/00

識別記号

庁内整理番号

F I

H 0 1 S 3/18

H 0 1 L 33/00

技術表示箇所

C

審査請求 未請求 請求項の数8 OL (全 10 頁)

(21)出願番号 特願平7-98633

(22)出願日 平成7年(1995)4月24日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 幡 俊雄

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

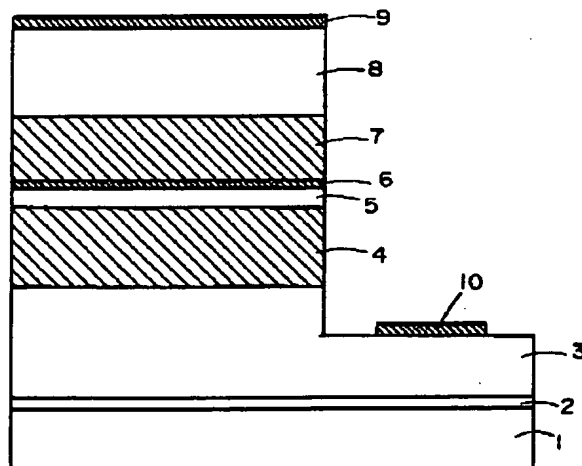
(74)代理人 弁理士 深見 久郎

(54)【発明の名称】 化合物半導体発光素子およびその製造方法

(57)【要約】

【目的】 化合物半導体発光素子の製造工程において I n の遊離を極力抑え、制御性に優れた結晶成長を可能とし、良質の活性層および活性層の界面を提供することを目的とする。

【構成】 I n を含む活性層 5 の形成後、I n の遊離が生じない程度の温度で蒸発防止層 6 を形成する。蒸発防止層 6 として p 型 $Al_{1-x}Ga_xN$ ($0 \leq x \leq 1$) などが用いられる。上部クラッド層 7 を形成するため基板温度を $1020^{\circ}C$ 程度の高温に上げて蒸発防止層 6 の存在により活性層 5 から I n の遊離が生ずることがない。これにより I n の組成比を制御することが容易となり、かつ良質の活性層および活性層の界面を提供することができる。



1

2

【特許請求の範囲】

【請求項1】 基板と、

前記基板上に形成された下部クラッド層と、

前記下部クラッド層上に形成されたInを含む活性層と、

前記活性層上に形成された蒸発防止層と、

前記蒸発防止層上に形成された上部クラッド層とを含む、化合物半導体発光素子。

【請求項2】 前記基板と、前記下部クラッド層との間に形成されたバッファ層をさらに備えた、請求項1に記載の化合物半導体発光素子。

【請求項3】 前記上部クラッド層上に形成されたキャップ層をさらに備えた、請求項1または2に記載の化合物半導体発光素子。

【請求項4】 前記活性層は $Al_x Ga_{1-x} In_z N$ ($x+y+z=1$ かつ $0 \leq x \cdot y \leq 1$, $0 < z \leq 1$)により構成される、請求項1から3のいずれかに記載の化合物半導体発光素子。【請求項5】 前記蒸発防止層は $Al_x Ga_{1-x} N$ ($0 \leq x \leq 1$)により構成される、請求項1から4のいずれかに記載の化合物半導体発光素子。

【請求項6】 下部クラッド層を形成する第1のステップと、

第1の温度で前記下部クラッド層上に $Al_x Ga_{1-x} In_z N$ ($x+y+z=1$ かつ $0 \leq x \cdot y \leq 1$, $0 < z \leq 1$)により構成される活性層を形成する第2のステップと、前記第1の温度以下の第2の温度で、前記活性層上に $Al_x Ga_{1-x} N$ ($0 \leq x \leq 1$)により構成される蒸発防止層を形成する第3のステップとを備えた、化合物半導体発光素子の製造方法。

【請求項7】 下部クラッド層を形成する第1のステップと、

第1の温度で前記下部クラッド層上に $Al_x Ga_{1-x} In_z N$ ($x+y+z=1$ かつ $0 \leq x \cdot y \leq 1$, $0 < z \leq 1$)により構成される活性層を形成する第2のステップと、前記第1の温度以上の第2の温度で、前記活性層上に $Al_x Ga_{1-x} N$ ($0 \leq x \leq 1$)により構成される蒸発防止層を形成する第3のステップと、

前記第2の温度以上の第3の温度で、前記蒸発防止層上に上部クラッド層を形成する第4のステップとを備えた、化合物半導体発光素子の製造方法。

【請求項8】 下部クラッド層を形成する第1のステップと、

第1の温度で前記下部クラッド層上に $Al_x Ga_{1-x} In_z N$ ($x+y+z=1$ かつ $0 \leq x \cdot y \leq 1$, $0 < z \leq 1$)により構成される活性層を形成する第2のステップと、

前記第1の温度とほぼ同じ温度で、前記活性層上にAl

 $x Ga_{1-x} N$ ($0 \leq x \leq 1$)により構成される蒸発防止層を形成する第3のステップとを備えた、化合物半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は化合物半導体発光素子およびその製造方法に関するもので、特に青色領域で発光可能な半導体レーザダイオードや発光ダイオードに関するものである。

【0002】

【従来の技術】 図17は、従来の青色領域で発光可能なAlGaInN/GaN/AlGaInN系化合物半導体発光素子(半導体レーザ、発光ダイオード)の模式断面を示す図である。

【0003】 図を参照して半導体発光素子はサファイア(0001)基板1と、サファイア(0001)基板1上に順に積層されたGaNまたはAlNバッファ層2、n型GaN層3、n型 $Al_x Ga_{1-x} N$ ($0 \leq x \leq 1$)下部クラッド層4、ノンドープまたはZnドープ $In_x Ga_{1-x} N$ ($0 \leq x \leq 1$)活性層(または発光層とも呼ばれる)5、p型 $Al_x Ga_{1-x} N$ ($0 \leq x \leq 1$)上部クラッド層7およびp型GaNキャップ層8により構成される。またn型GaN層3にはn型電極10が、p型GaNキャップ層8にはp型電極9が形成されている。

【0004】 このような化合物半導体発光素子は一般的には有機金属気相成長法(以下「MOCVD法」という。)により、以下の工程を経て製造される。

【0005】 (1) 温度約1050℃にてサファイア基板1の表面処理を行なう。

(2) 基板温度を約510℃まで下げ、薄層のGaNまたはAlNバッファ層2を成長させる。

【0006】 (3) 基板温度を1020℃まで上げ、n型GaN層3を成長させる。

(4) 同温度にて、n型AlGaIn下部クラッド層4を成長させる。

【0007】 (5) 基板温度を約800℃に下げ、ノンドープInGaIn系活性層(またはZnドープ発光層)5を約100~500Åの厚さに成長させる。

【0008】 (6) 基板温度を約1020℃に上げて、p型AlGaIn上部クラッド層7を成長させる。

【0009】 (7) 同温度にてp型GaNキャップ層8を成長させる。

(8) エッチングを行なった後、p型電極9およびn型電極10を形成する。

【0010】 以上に述べた工程において、Inを含む活性層5を成長させるときの温度を約800℃とするのは、Inの蒸気圧は比較的高いため、1000℃以上の成長温度では所望のIn比を得ることができないためである。またAlGaInクラッド層の成長温度を1020℃とするのはAlGaInクラッド層は1000℃以上の

温度で成長させないと、良好な結晶品質の膜とすることができないためである。

【0011】そのため前述した工程(4)～(6)間において、発光素子は図16に示される成長温度プロファイルを辿ることになるのである。図16中、横軸は半導体の成長方向を、縦軸は成長温度を示す。

【0012】

【発明が解決しようとする課題】しかしながら、上述した従来の化合物半導体の製造方法には、p型AlGaIn上部クラッド層7を成長させるため基板温度を約1020℃まで上げたときに、その前の工程で作られたInを含む活性層(発光層)5からInの遊離が生じるという問題点があった。Inの遊離が生じることは、活性層5と上部クラッド層7との界面の悪化を招いたり、活性層5の膜厚やInの混晶比を制御することが困難になるという結果に結び付いていた。

【0013】この発明は上記問題点を解決するためになされたもので、化合物半導体発光素子の製造工程においてInの遊離を極力抑え、かつ制御性に優れた結晶成長を可能とし、また良質のInを含む活性層および良質の活性層の界面を有する化合物半導体発光素子を提供することを目的とする。

【0014】

【課題を解決するための手段】請求項1に記載の化合物半導体発光素子は、基板と、基板上に形成された下部クラッド層と、下部クラッド層上に形成されたInを含む活性層と、活性層上に形成された蒸発防止層と、蒸発防止層上に形成された上部クラッド層とを含むものである。

【0015】請求項2に記載の化合物半導体発光素子は、請求項1に記載の化合物半導体発光素子であって、基板と、下部クラッド層との間に形成されたバッファ層をさらに備えたものである。

【0016】請求項3に記載の化合物半導体発光素子は、請求項1または2に記載の化合物半導体発光素子であって、上部クラッド層上に形成されたキャップ層をさらに備えたものである。

【0017】請求項4に記載の化合物半導体発光素子は、請求項1から3のいずれかに記載の化合物半導体発光素子であって、活性層は $Al_xGa_yIn_zN$ ($x+y+z=1$ かつ $0 \leq x \cdot y \leq 1$, $0 < z \leq 1$)により構成されるものである。

【0018】請求項5に記載の化合物半導体発光素子は、請求項1から4のいずれかに記載の化合物半導体発光素子であって、蒸発防止層は $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$)により構成されるものである。

【0019】請求項6に記載の化合物半導体発光素子の製造方法は、下部クラッド層を形成する第1のステップと、第1の温度で下部クラッド層上に $Al_xGa_yIn_zN$ ($x+y+z=1$ かつ $0 \leq x \cdot y \leq 1$, $0 < z \leq$

1)により構成される活性層を形成する第2のステップと、第1の温度以下の第2の温度で活性層上に $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$)により構成される蒸発防止層を形成する第3のステップとを備えたものである。

【0020】請求項7に記載の化合物半導体発光素子の製造方法は、下部クラッド層を形成する第1のステップと、第1の温度で下部クラッド層上に $Al_xGa_yIn_zN$ ($x+y+z=1$ かつ $0 \leq x \cdot y \leq 1$, $0 < z \leq 1$)により構成される活性層を形成する第2のステップと、第1の温度以上の第2の温度で、活性層上に $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$)により構成される蒸発防止層を形成する第3のステップと、第2の温度以上の第3の温度で、蒸発防止層上に上部クラッド層を形成する第4のステップとを備えたものである。

【0021】請求項8に記載の化合物半導体発光素子の製造方法は、下部クラッド層を形成する第1のステップと、第1の温度で前記下部クラッド層上に $Al_xGa_yIn_zN$ ($x+y+z=1$ かつ $0 \leq x \cdot y \leq 1$, $0 < z \leq 1$)により構成される活性層を形成する第2のステップと、前記第1の温度とほぼ同じ温度で、前記活性層上に $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$)により構成される蒸発防止層を形成する第3のステップとを備えたものである。

【0022】

【作用】請求項1から5のいずれかに記載の化合物半導体発光素子は、活性層上に蒸発防止層を備える。この蒸発防止層の存在により、従来化合物半導体発光素子の製造中に生じていた活性層中のInの遊離が防止される。

【0023】請求項6に記載の化合物半導体発光素子の製造方法では、第1のステップにより下部クラッド層が形成される。第2のステップにより、第1の温度で下部クラッド層上に $Al_xGa_yIn_zN$ ($x+y+z=1$ かつ $0 \leq x \cdot y \leq 1$, $0 < z \leq 1$)により構成される活性層が形成される。第3のステップにおいて、第1の温度以下の第2の温度で活性層上に $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$)により構成される蒸発防止層が形成される。

【0024】請求項7に記載の化合物半導体発光素子の製造方法では、第1のステップにおいて下部クラッド層が形成される。第2のステップにおいて下部クラッド層上に $Al_xGa_yIn_zN$ ($x+y+z=1$ かつ $0 \leq x \cdot y \leq 1$, $0 < z \leq 1$)により構成される活性層が形成される。第3のステップにおいて、第1の温度以上の第2の温度で活性層上に $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$)により構成される蒸発防止層が形成される。第4のステップにおいて、第2の温度以上の第3の温度で蒸発防止層上に上部クラッド層が形成される。

【0025】請求項8に記載の化合物半導体発光素子の製造方法では、第1のステップにおいて下部クラッド層が形成される。第2のステップにおいて第1の温度で下部クラッド層上に $Al_xGa_yIn_zN$ ($x+y+z=$

1かつ $0 \leq X \cdot Y \leq 1$, $0 < Z \leq 1$)により構成される活性層が形成される。第3のステップにおいて、第1の温度とほぼ同じ温度で活性層上に $Al_{1-x}Ga_{1-x}N$ ($0 \leq X \leq 1$)により構成される蒸発防止層が形成される。

【0026】

【実施例】以下本発明の実施例を順に説明する。なお本実施例は成長条件、有機金属化合物ガスの種類、使用材料などを下記のものに限定するものではない。本実施例は特許請求の範囲内において種々の変更を加えることができる。

【0027】(第1の実施例)第1の実施例ではサファイア(0001)c面が基板として用いられ、MOCVD法により各々の層の成長が行なわれる。またIII族ガス源としてトリメチルガリウム(TMg)、トリメチルアルミニウム(TMA)およびトリメチルインジウム(TMI)が用いられ、V族ガス源としてアンモニア(NH_3)が用いられ、n型ドーパント源としてモノシラン(SiH_4)が、p型ドーパント源としてビスシクロペンタジエニルマグネシウム(Cp_2Mg)が各々用いられ、キャリアガスとして H_2 が用いられる。

【0028】図1は本発明の第1の実施例における半導体レーザダイオードの模式断面図である。

【0029】図を参照して本実施例における半導体レーザダイオードは、サファイア基板1と、サファイア(0001)c面基板1上に順に形成された、GaNまたは AlN バッファ層2、n型GaN層3、n型 $Al_{0.1}Ga_{0.9}N$ 下部クラッド層4、ノンドープまたはSiドーブ $In_{0.2}Ga_{0.8}N$ 活性層(または発光層ともいう)5、薄層p型 $Al_{0.05}Ga_{0.95}N$ 蒸発防止層6、p型 $Al_{0.1}Ga_{0.9}N$ 上部クラッド層7、p型GaNキャップ層8により構成される。またn型GaN層3にはn型電極10が、p型GaNキャップ層8にはp型電極9が形成される。

【0030】この半導体の積層状態が、図17に示される従来の半導体の積層状態と異なる点は、蒸発防止層6が活性層5と上部クラッド層7との間に設けられている点である。

【0031】そして図1に示される半導体レーザは以下に示される工程により形成される。

(1) MOCVD装置内にサファイア基板1を導入し、基板を H_2 中で基板温度約1050℃で加熱し、基板の表面処理を行なう。

【0032】(2) 基板温度を約500℃まで下げ、GaNまたは AlN バッファ層2を成長させる。このときバッファ層2の層厚はGaNであれば250Å、 AlN であれば500Åである。

【0033】(3) 基板温度を約1020℃まで上げ、n型GaN層3を約4μm程度の厚さに成長させる。この時点で図3に示される積層構造が形成される。

【0034】(4) 同じ基板温度でn型 $Al_{0.1}Ga$

0.9N下部クラッド層4を約1μmの厚さに成長させる。このときの基板の積層状態を図4に示す。

【0035】(5) 基板温度を約800℃に下げて、ノンドープ(non-doped)またはSiドーブ $In_{0.2}Ga_{0.8}N$ 活性層(または発光層)を約200Åの膜厚で成長させる。このときの基板の積層状態を図5に示す。

【0036】(6) 基板温度をノンドープまたはSiドーブ $In_{0.2}Ga_{0.8}N$ 活性層(または発光層)成長温度以下に下げて、成長温度約500~800℃にて薄層p型 $Al_{0.05}Ga_{0.95}N$ 蒸発防止層6を成長させる。このときの基板の積層状態を図6に示す。

【0037】(7) 基板温度を約1020℃まで上げ、p型 $Al_{0.1}Ga_{0.9}N$ 上部クラッド層7を約1μmの層厚で成長させる。

【0038】(8) 次に同温度にてp型電極GaNキャップ層8を約1μmの厚さに成長させる。このときの基板の積層状態を図7に示す。

【0039】薄層p型 $Al_{0.05}Ga_{0.95}N$ 蒸発防止層6は、基板温度を約1020℃まで上げる間に良質膜となる。

【0040】以上のように製造されたウェハには温度約700℃において N_2 中で熱アニーリングが行なわれる。熱アニーリングにより、薄層p型 $Al_{0.05}Ga_{0.95}N$ 蒸発防止層6、p型 $Al_{0.1}Ga_{0.9}N$ 上部クラッド層7をおよびp型 AlN キャップ層8は高濃度p型層に変化する。

【0041】次に電極付けを行なうために、ウェハの一部はn型GaN層3が露出するまでエッチングされる、その後p型電極9およびn型電極10がそれぞれ形成される。以上の工程を経て図1に示される $AlGaIn/InGaIn/AlGaIn$ 系半導体レーザダイオードは製造される。

【0042】図2は図1の半導体レーザダイオードの下部クラッド層4から上部クラッド層7までを形成する間における結晶の成長温度プロファイルを示す図である。

【0043】このように本実施例における化合物半導体発光素子では活性層5の形成後、活性層5の成長温度以下の温度で蒸発防止層6が形成され、その後基板温度約1020℃にて上部クラッド層7が形成される。そのため活性層5中に含まれるInの遊離が生ずることは防止され、これにより良質のInを含む活性層および良質の活性層の界面を有する化合物半導体発光素子を提供することが可能となり、かつその製造工程においては制御性に優れた結晶成長が可能となる。

【0044】図8は本実施例の変形例である発光ダイオードの模式断面図である。図8を参照して発光ダイオードは図1に示される半導体レーザダイオードと異なり、p型電極9が小さく形成される。これは活性層5により発せられた光を上部クラッド層7およびキャップ層8を介して上方にも出力させるためである。

【0045】（第2の実施例）図9は本発明の第2の実施例における化合物半導体発光素子の下部クラッド層から上部クラッド層までの成長温度プロファイルを示す図である。

【0046】本実施例における化合物半導体発光素子の積層構造は図1および図8に示される第1の実施例と同一であるので、ここでの説明を繰返さない。第2の実施例における化合物半導体発光素子は蒸発防止層をInを含む活性層の成長温度以上かつ上部クラッド層の成長温度以下の基板温度で形成することを特徴としている。

【0047】第2の実施例において結晶の成長にはMOCVD法が用いられ、基板としてサファイア（0001）c面が用いられる。またIII族ガス源としてトリメチルガリウム（TMG）、トリメチルアルミニウム（TMA）およびトリメチルインジウム（TMI）が用いられ、V族ガス源としてアンモニア（NH₃）が用いられる。またn型ドーパント源としてモノシラン（SiH₄）が、p型ドーパント源としてビスシクロペンタジエニルマグネシウム（Cp₂Mg）が、キャリアガスとしてH₂が用いられる。その製造工程を以下に説明する。

【0048】（1）MOCVD装置内にサファイア基板を導入し、基板をH₂中で基板温度約1050℃で加熱し、基板の表面処理を行なう。

【0049】（2）基板温度を約500℃まで下げ、GaNまたはAlNバッファ層を形成する。このときのバッファ層の層厚はGaNであれば250Å、AlNであれば500Åである。

【0050】（3）基板温度を約1020℃まで上げて、n型GaN層を約4μm程度成長させる。

【0051】（4）同じ基板温度でn型Al_{0.1}Ga_{0.9}N下部クラッド層4を約1μm成長させる。

【0052】（5）基板温度を約800℃に下げ、ノンドープまたはSiドープIn_{0.2}Ga_{0.8}N活性層（または「発光層」ともいう。）を約200Åの膜厚で成長させる。

【0053】（6）基板温度をノンドープまたはSiドープIn_{0.2}Ga_{0.8}N活性層の成長温度以上かつp型Al_{0.1}Ga_{0.9}N上部クラッド層の成長温度以下である、約900℃にて薄層p型Al_{0.05}Ga_{0.95}N蒸発防止層を成長させる。

【0054】（7）基板温度を約1020℃まで上げ、p型Al_{0.1}Ga_{0.9}N上部クラッド層を約1μm成長させる。

【0055】（8）p型電極GaNキャップ層を約1μm成長させる。薄層p型Al_{0.05}Ga_{0.95}N蒸発防止層は、基板温度を約1020℃まで上げる間に良質膜となる。

【0056】結晶の成長後ウェハには熱アニーリング、エッチングが行なわれた後電極の形成が行なわれる。こ

れらの工程は第1の実施例と同一であるのでここでの説明を繰返さない。

【0057】以上に述べたように本実施例ではInを含む活性層の形成後、活性層の成長温度以上かつ上部クラッド層の成長温度以下で蒸発防止層を形成するため、Inの遊離を防止することができ、制御性に優れた結晶成長が可能となり、良質のInを含む活性層および活性層の界面を提供することが可能となる。

【0058】（第3の実施例）第3の実施例において製造される化合物半導体発光素子の積層状態は図1および図8に示される第1の実施例における化合物半導体発光素子の積層状態と同一であるのでここでの説明を繰返さない。

【0059】図10は本発明の第3の実施例における化合物半導体発光素子の下部クラッド層から上部クラッド層の形成の間の温度プロファイルを示す図である。

【0060】本実施例における化合物半導体発光素子の製造工程は、蒸発防止層の成長温度をInを含む活性層の成長温度とほぼ同じにすることを特徴としている。

【0061】本実施例において化合物半導体発光素子の製造方法にはMOCVD法が用いられる。また基板としてサファイア（0001）c面が用いられ、III族ガス源としてトリメチルガリウム（TMG）、トリメチルアルミニウム（TMA）およびトリメチルインジウム（TMI）が用いられ、V族ガス源としてアンモニア（NH₃）が用いられ、n型ドーパント源としてモノシラン（SiH₄）が、p型ドーパント源としてビスシクロペンタジエニルマグネシウム（Cp₂Mg）が、キャリアガスとしてH₂が用いられる。その製造工程を以下に説明する。

【0062】（1）MOCVD装置内にサファイア基板を導入し、基板をH₂中で基板温度約1050℃で加熱し、基板の表面処理を行なう。

【0063】（2）基板温度を約500℃まで下げ、GaNまたはAlNバッファ層を成長させる。このときのバッファ層の層厚はGaNであれば250Å、AlNであれば500Åである。

【0064】（3）基板温度を約1020℃まで上げ、n型GaN層を約4μm程度成長させる。

【0065】（4）同じ基板温度でn型Al_{0.1}Ga_{0.9}N下部クラッド層を約1μm成長させる。

【0066】（5）基板温度を約800℃に下げてノンドープまたはSiドープIn_{0.2}Ga_{0.8}N活性層を約200Åの層厚で成長させる。

【0067】（6）ノンドープまたはSiドープIn_{0.2}Ga_{0.8}N活性層の成長温度とほぼ同じ成長温度にて、薄層p型Al_{0.05}Ga_{0.95}N蒸発防止層を成長させる。

【0068】（7）基板温度を約1020℃まで上げ、p型Al_{0.1}Ga_{0.9}N上部クラッド層を約1μm

成長させる。

【0069】(8) p型Ga_{0.95}Nキャップ層を約1μm成長させる。薄層p型Al_{0.05}Ga_{0.95}N蒸発防止層は、基板温度を約1020℃まで上げる間に良質膜となる。

【0070】また製造されたウェハは熱アニーリング、エッチングおよび電極形成の工程を経て半導体レーザや発光ダイオードなどの素子とされる。これらの工程は第1の実施例と実質的に同一であるのでここでの説明を繰返さない。

【0071】(第4の実施例) 図11は本発明の第4の実施例における化合物半導体発光素子の模式断面図である。

【0072】図を参照して本実施例における化合物半導体発光素子は、積層されたn型電極10、n型GaAs基板11、n型GaAsバッファ層12、n型Al_{0.8}Ga_{0.2}As下部クラッド層13、活性層20、p型(Mgドープ)Al_{0.8}Ga_{0.2}As上部クラッド層17、絶縁層18、p型GaAsキャップ層19およびp型電極9により構成される。また活性層20は図面に対して下からノンドープGaAs層14、ノンドープIn_{0.15}Ga_{0.85}Asひずみ量子井戸活性層15およびノンドープGaAs蒸発防止層16の順に積層された化合物半導体により構成される。

【0073】活性層近傍のエネルギーレベルを図12に示す。また本実施例における化合物半導体発光素子にはフォトリソグラフィーとウエットエッチングにより幅3μmのリッジ導波構造が形成されている。

【0074】本実施例における化合物半導体発光素子はMOCVD法により形成される。本実施例においては基板としてGaAsが用いられ、III族ガス源としてトリメチルガリウム(TMG)、トリメチルアルミニウム(TMA)およびトリメチルインジウム(TMI)が用いられ、V族ガス源としてアルシン(AsH₃)が用いられ、n型ドーパント源としてSeが、p型ドーパント源としてMgおよびZnが、キャリアガスとしてH₂が用いられる。そして本実施例における化合物半導体発光素子は以下の工程により製造される。

【0075】(1) MOCVD装置内にn型(100)GaAs基板11を導入し、基板温度を約800℃まで上げGaAsバッファ層12を成長させる。GaAsバッファ層の層厚は0.5μmである。

【0076】(2) 同温度にてn型Al_{0.8}Ga_{0.2}As下部クラッド層13を層厚約1.4μmに成長させる。

【0077】(3) ノンドープ型GaAs層14を約100Å成長させる。

(4) 基板温度を約630℃に下げてノンドープIn_{0.15}Ga_{0.85}Asひずみ量子井戸活性層15を約110Åの層厚で成長させる。

【0078】(5) ノンドープ型GaAs蒸発防止層16を約100Åの層厚で成長させる。なお蒸発防止層の成長における基板の温度は図13から図15に示されるいずれの成長温度プロファイルによっても行なうことが可能である。すなわち図13においては蒸発防止層はひずみ量子井戸活性層の成長温度である630℃よりも低い約550℃にて形成される。また図14においては蒸発防止層はひずみ量子井戸活性層の成長温度である約630℃以上かつ上部クラッド層の成長温度である約800℃以下の温度である約700℃で成長させることができる。また図15においては蒸発防止層はひずみ量子井戸活性層の成長温度とほぼ同じ温度である約630℃で成長させることが可能である。

【0079】(6) p型(Mgドープ)Al_{0.8}Ga_{0.2}As上部クラッド層17を約1.4μmの層厚で成長させる。

【0080】(7) p型(Znドープ)GaAsキャップ層19を約1μmの層厚で成長させる。

【0081】以上の工程を経たウェハに対し、従来の技術であるフォトリソグラフィーとウエットエッチングの技術が用いられ、図11に示される幅3μmのリッジ導波構造が形成される。リッジ導波構造が形成されたウェハにはp型およびn型電極が形成され素子化が行なわれる。

【0082】(第5の実施例) 第5の実施例において形成される化合物半導体発光素子の積層状態は図1および図8に示される第1の実施例における化合物半導体発光素子の積層構造と同一であるのでここでの説明を繰返さない。第5の実施例においてその特徴とするところは蒸発防止層を形成する物質としてAl_{0.4}Ga_{0.6}Nを用いる点である。これにより蒸発防止層と上部クラッド層との間の物質の化学組成の明瞭な差を付けることができ、これにより素子製造後の蒸発防止層の検証が容易となる。

【0083】本実施例における化合物半導体発光素子の製造にはMOCVD法が用いられ、基板としてサファイア(0001)c面が用いられる。またIII族ガス源としてトリメチルガリウム(TMG)、トリメチルアルミニウム(TMA)およびトリメチルインジウム(TMI)が用いられ、V族ガス源としてアンモニア(NH₃)が用いられる。またn型ドーパント源としてモノシラン(SiH₄)が、p型ドーパント源としてビスシクロペンタジエニルマグネシウム(Cp₂Mg)が、キャリアガスとしてH₂が用いられる。

【0084】そして本実施例における化合物半導体発光素子は以下の工程を経て形成される。

【0085】(1) MOCVD装置内にサファイア基板を導入し、基板温度をH₂中で基板温度約1050℃で加熱し基板の表面処理を行なう。

【0086】(2) 基板温度を約500℃まで下げG

aNまたはAlNバッファ層を成長させる。このときバッファ層の層厚はGaNであれば250Å、AlNであれば500Åである。

【0087】(3) 基板温度を約1020℃まで上げてn型GaN層を層厚約4μm程度成長させる。

【0088】(4) 同じ基板温度でn型Al_{0.1}Ga_{0.9}N下部クラッド層を層厚約1μmで成長させる。

【0089】(5) 基板温度を約800℃に下げてノンドープまたはSiドープIn_{0.2}Ga_{0.8}N活性層(または発光層ともいう。)を層厚約200Åで成長させる。

【0090】(6) 薄層p型Al_{0.4}Ga_{0.6}N蒸発防止層を成長させる。なおこのときの基板温度は約600℃から約900℃の間で任意に選択可能である。たとえば約600℃、約800℃、約900℃等を選択することができる。

【0091】(7) 基板温度を約1020℃まで上げ、p型Al_{0.1}Ga_{0.9}N上部クラッド層を層厚約1μmの厚さに成長させる。

【0092】(8) p型GaNキャップ層を層厚約1μmの厚さに成長させる。薄層p型Al_{0.4}Ga_{0.6}N蒸発防止層は、基板温度を約1020℃まで上げる間に良質膜となる。

【0093】層構造の形成されたウェハには約700℃でN₂中に熱アニーリングが行なわれる。熱アニーリングにより薄層p型Al_{0.4}Ga_{0.6}N蒸発防止層、p型Al_{0.1}Ga_{0.9}N上部クラッド層およびp型GaNキャップ層は高濃度p型層に変化する。

【0094】次にn型の電極を形成するために、n型GaN層が露出するまでエッチングが行なわれ、エッチングされたウェハ上にp型およびn型電極がそれぞれ形成される。

【0095】なお実施例の説明中結晶の成長にMOCVD法を用いることとしたが、成長方法としてMBE法(分子線エピタキシャル成長法)などを用いることができる。また特許請求の範囲内において使用材料、成長条件などの変更を加えることができる。

【0096】さらに第1から第3および第5の実施例において基板としてサファイア(0001)c面を用いることとしたが、基板としてSiC、MgO、ZnOまたはMgAl₂O₄などを用いることができる。

【0097】さらにバッファ層として用いられる物質は化学式Al_{1-x}Ga_{1-x}N(0<x<1)などの物質を用いることができる。

【0098】さらに活性層は化学式Al_xGa_yIn_zN(X+Y+Z=1かつ0≤X・Y≤1, 0<Z≤1)により構成される物質であれば何を用いてもよい。

【0099】さらに下部クラッド層としてn型Al_{1-x}Ga_{1-x}N(0≤Z≤1)により構成される物質を用いることが可能であり、上部クラッド層としてp型Al_{1-x}G

a_{1-x}N(0≤Z≤1)により構成される物質を用いることができる。

【0100】さらに第4の実施例におけるノンドープ型GaAs層14を構成する物質としてノンドープAl_{1-x}Gn_{1-x}As(0≤X≤1)により構成される物質を使用することができ、ノンドープIn_{0.15}Ga_{0.85}Asひずみ量子井戸活性層を構成する物質として、ノンドープIn_yGa_{1-y}As(0<y≤1)を用いることが可能である。さらに第4の実施例において蒸発防止層としてp型Al_{1-x}Ga_{1-x}As(0≤X≤1)により構成される物質を使用することができる。

【0101】

【発明の効果】請求項1から5のいずれかに記載の化合物半導体発光素子によると、蒸発防止層を備えるため、Inの遊離を極力抑えることができ、制御性に優れた結晶成長を可能とし、良質のInを含む活性層(発光層)および活性層の界面を含む化合物半導体発光素子を提供することが可能となる。

【0102】請求項6から8のいずれかに記載の化合物半導体発光素子の製造方法によれば、活性層中に含まれるInの遊離を極力抑えることができるので、制御性に優れた結晶成長を可能とし、良質のInを含む活性層および活性層の界面を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体レーザダイオードの模式断面図である。

【図2】本発明の第1の実施例における化合物半導体発光素子の成長温度プロファイルを示す図である。

【図3】化合物半導体発光素子の製造工程を示す第1の図である。

【図4】化合物半導体発光素子の製造工程を示す第2の図である。

【図5】化合物半導体発光素子の製造工程を示す第3の図である。

【図6】化合物半導体発光素子の製造工程を示す第4の図である。

【図7】化合物半導体発光素子の製造工程を示す第5の図である。

【図8】本発明の一実施例における発光ダイオードの模式断面図である。

【図9】本発明の第2の実施例における化合物半導体発光素子の成長温度プロファイルを示す図である。

【図10】本発明の第3の実施例における化合物半導体発光素子の成長温度プロファイルを示す図である。

【図11】本発明の第4の実施例における半導体レーザダイオードの模式断面図である。

【図12】図11における活性層近傍のエネルギーレベルを示す図である。

【図13】図11のレーザダイオードを製造する過程における温度プロファイルを示す第1の図である。

13

14

【図14】図11のレーザダイオードを製造する過程における温度プロファイルを示す第2の図である。

【図15】図11のレーザダイオードを製造する過程における温度プロファイルを示す第3の図である。

【図16】従来の化合物半導体発光素子の製造工程における温度プロファイルを示す図である。

【図17】従来の化合物半導体発光素子の模式断面図である。

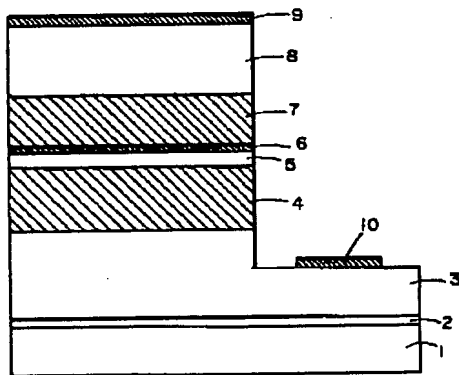
【符号の説明】

- 1 サファイア(0001)基板
- 2 GaNまたはAlNパッファ層
- 3 n型GaN層
- 4 n型 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 下部クラッド層
- 5 non-dopedまたはSiドープ $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y \leq 1$) 活性層(または発光層)
- 6 薄層p型 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 蒸発防止層
- 7 p型 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 上部クラッド層

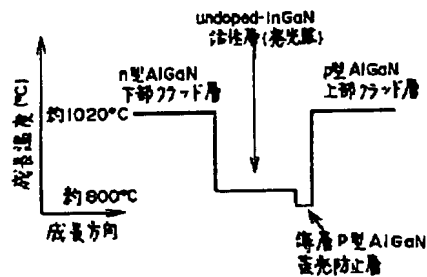
層

- 8 p型GaNキャップ層
- 9 p型電極
- 10 n型電極
- 11 n型GaAs基板
- 12 n型GaAsパッファ層
- 13 n型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) 下部クラッド層
- 14 ノンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) 層
- 10 15 ノンドープ $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($0 < y \leq 1$) ひずみ量子井戸活性層
- 16 p型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) 蒸発防止層
- 層
- 17 p型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) 上部クラッド層
- 18 絶縁層
- 19 p型GaAsキャップ層
- 20 活性層

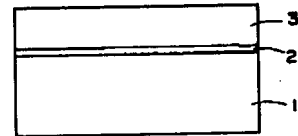
【図1】



【図2】

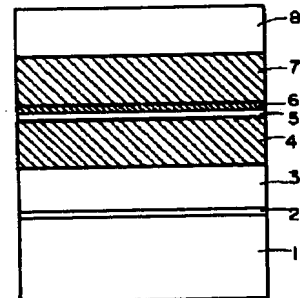
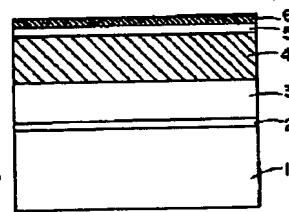


【図3】



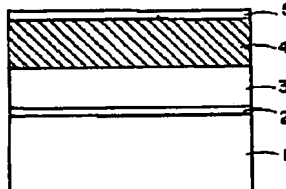
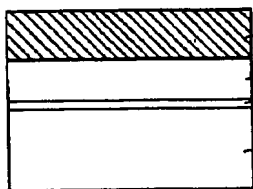
【図6】

【図7】

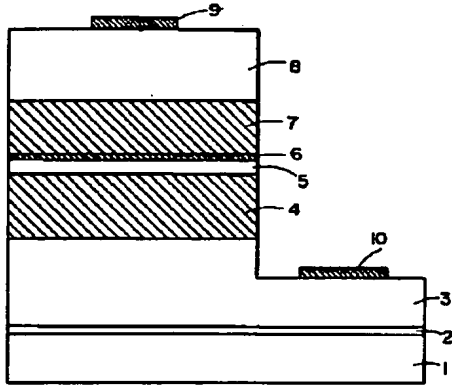


【図4】

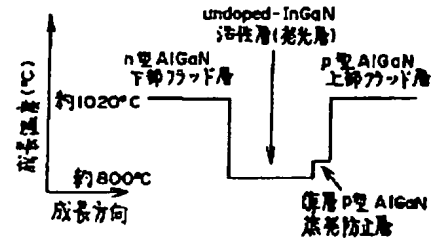
【図5】



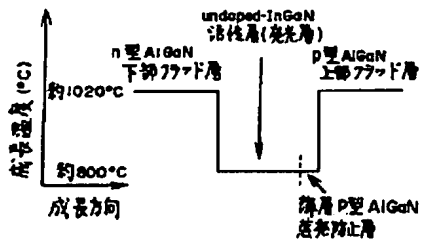
【図8】



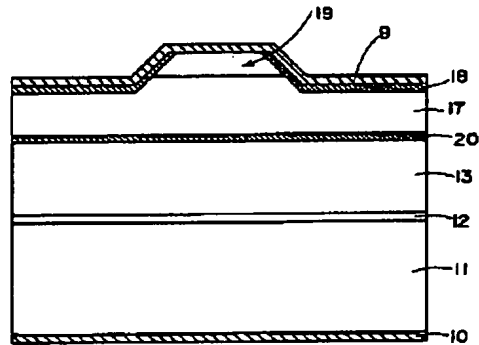
【図9】



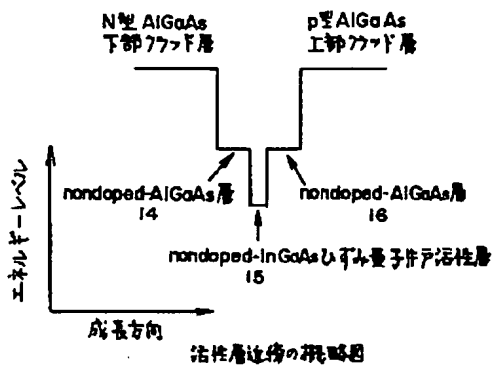
【図10】



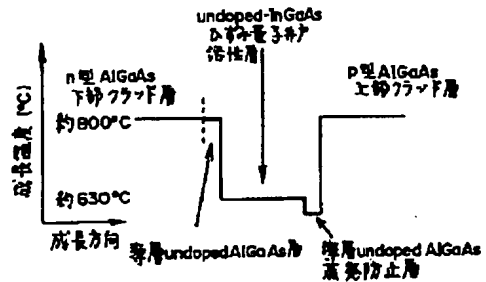
【図11】



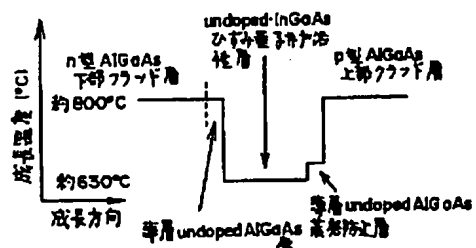
【図12】



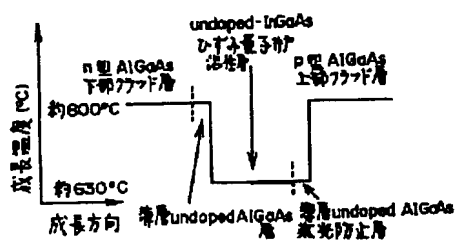
【図13】



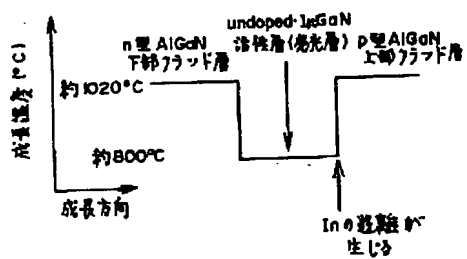
【図14】



【図15】



【図16】



【図17】

